

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ ПЕНЗЕНСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
Кафедра «Вычислительная техника»

Курсовая работа
по дисциплине «Теория недетерминированных автоматов»
на тему «Устройство синхронизации параллельных процессов»

ПГУ 2.09.05.01.16.001 ПЗ

Специальность 09.05.01 «Применение и эксплуатация автоматизированных систем
специального назначения»
Специализация «Эксплуатация вычислительных машин, комплексов, систем и
сетей специального назначения»

Выполнил: студент группы 20ВОЭ1

Е.В. Сальников Е.В.

Руководитель к.т.н, профессор кафедры ВТ

Р.А. Бикташев Р.А.

Работа защищена с оценкой отлично

Преподаватели

Дата защиты

2024

ПЕНЗЕНСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

Факультет Вычислительной техники

Кафедра "Вычислительная техника"

"УТВЕРЖДАЮ"

Зав. кафедрой ВТ

« » 2024г

Задание на курсовой проект

Кафедра: ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

ЗАДАНИЕ

на курсовое проектирование по курсу

Теория недетерминированных автоматов

Студенту Сальникову Егору Владимировичу

Группа

20ВОЭ1

Тема проекта: Устройство синхронизации параллельных процессов

Исходные данные:

Устройство предназначено для синхронизации параллельных взаимодействующих процессов, обеспечивающего доступ к общему ресурсу на основе критических интервалов, являющегося компонентой управления ресурсами ядра многопроцессорной операционной системы.

Задание представляет собой программу для проведения исследований устройства синхронизации процессов на функциональной модели, реализованной на языке VHDL.

Пример задания:

№ процесса	Наличие заявок в i -х процессах $X_{j,i}^j$					Условная запись последовательности заявок
	$X_{j,i}^1$	$X_{j,i}^2$	$X_{j,i}^3$	$X_{j,i}^4$	$X_{j,i}^5$	
$i=1$	1	1	0	1	1	11
$i=2$	1	1	0	0	0	8
$i=3$	1	0	1	1	1	7
$i=4$	1	1	0	1	0	10
$i=5$	1	1	0	1	0	10

Программа исследований состоит из последовательности запросов от пяти процессов, где i – номер процесса, j – номер запроса в i -м процессе.

1. Расчётная часть

Разработать схему алгоритма и функциональную схему, устройства с параллельных процессов, описать работу устройства по структурной и функциональной схемам с привлечением схемы алгоритма функционирования устройства, графически выполнить моделирование устройства на языке VHDL и привести оценку результатов моделирования.

2. Графическая часть

Схема алгоритма функционирования устройства – 1 лист формата 3(297*420)

Схема электрическая функциональная устройства – 1 лист формата 3

3. Экспериментальная часть

Моделирование устройства производить с использованием свободно распространяемой версии системы WebPack ISE фирмы Xilinx.

Срок выполнения проекта по разделам - согласно графику выполнения проекта

Дата выдачи задания 01.03.24 г.

Дата защиты проекта 22.05.24 г.

Руководитель Бикташев Р.А. 

Задание получил 01.03.24 г.

Студент Сальников Е.В. 

Пояснительная записка содержит

Объектом исследования является

обеспечивающее доступ к общему ресурсу

компонентной управления ресурсами

Цель работы – разработка

доступ к общему ресурсу на основе

управления ресурсами ядра многоядерного

В результате проделанной работы

синхронизации, обеспечивающей работу в заданных

интервалов, являющееся компонентом операционной системы.

При разработке использовались средства функционального моделирования

Изм.	Лист	№ докум.	Подпись
израб.		Сальников Е.В.	
провер.		Бикташев Р.А.	
И. Контр.			
Утв.			

Реферат

Пояснительная записка содержит 32 листа, 9 рисунков, 6 источников и 2 приложения

Объектом исследования является аппаратное устройство синхронизации обеспечивающее доступ к общему ресурсу на основе критических интервалов, являющееся компонентной управления ресурсами ядра многопроцессорной операционной системы.

Цель работы – разработка аппаратного устройства синхронизации, обеспечивающего доступ к общему ресурсу на основе критических интервалов, являющегося компонентной управления ресурсами ядра многопроцессорной операционной системы.

В результате проделанной работы было разработано аппаратное устройство синхронизации, обеспечивающее доступ к общему ресурсу на основе критических интервалов, являющееся компонентной управления ресурсами ядра многопроцессорной операционной системы.

При разработке использовалась логика недетерминированных автоматов (НДА) и средства функционального моделирования (VHDL).

ПГУ 2.09.05.01.16.001 ПЗ

					ПГУ 2.09.05.01.16.001 ПЗ				
Изм.	Лист	№ докум.	Подпись	Дата	Устройство синхронизации параллельных процессов	Лит.	Лист	Листов	
Разраб.		Сальников Е.В.							
Провер.		Бикташев Р.А.							
Н. Контр.									
Утв.					Пояснительная записка	гр. 20ВОЭ1			