

*Министерство образования Российской Федерации
Пензенский государственный университет
Кафедра «Вычислительная техника»*

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
*к курсовому проекту по дисциплине
«ЭВМ и периферийные устройства»
на тему «Процессор универсальной ЭВМ»*

*Выполнил ст. гр. 17ВВ2
Кудряшов Я.В.
Проверил: Коннов Н.Н.*

Пенза 2020

ПЕНЗЕНСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

Факультет Вычислительной техники

Кафедра "Вычислительная техника"

"УТВЕРЖДАЮ"

Зав. кафедрой ВТ

профессор М.А. Митрохин

«___» _____ 20__ г

ЗАДАНИЕ

на курсовое проектирование по курсу

ЭВМ и периферийные устройства

Студенту Кудряшову Я. В.

Группа 17BB2

Тема проекта Процессор универсальной ЭВМ (Вариант 37)

Исходные данные (технические требования) на проектирование

Цель курсового проектирования:

- изучение принципов работы и методов проектирования процессоров;
- изучение микропроцессорных БИС конкретных серий и выработка навыков практического проектирования микропроцессорных систем.

Содержанием курсового проектирования является разработка центрального процессора универсальной ЭВМ на схемотехнической базе микропроцессорного комплекта серии K1804.

Технические характеристики проектируемого процессора:

- разрядность - 16;
- адресное пространство - 32К слов;
- формат данных - шестнадцатиразрядные целые числа,
- представленные в дополнительном коде;
- система команд - программная совместимость с ЭВМ типа PDP11 ("Электроника-60"), кроме команд обработки данных в байтовом формате
- система элементов серии K1804, K556, K53Г, K555;
- интерфейс типа "Общая шина" или МПИ.

Команды, алгоритмы которых подлежат разработке : cmp, rol, bgt, jmp, clc, wait

Способы адресации: 0,4,1,3

Блок процессора, который подлежит разработке в виде ТЗА БМУ.

Примечание: Команды и способы адресации, разработка которых выполняется на микропрограммном уровне с отладкой на кроссистеме уточняется преподавателем.

Объем работы по курсу

1. Расчетная часть

Спроектировать структурную схему процессора; функциональную организацию его блоков; форматы микрокоманд; схемы алгоритмов выполнения заданного набора команд и диаграммы микропрограммной логики, реализующие определенную часть разработанного алгоритма; таблицы "прошивки" памяти микропрограмм; принципиальные схемы одного из блоков; расчет времени выполнения отдельной операции в процессоре, а также выполнить тестирование разработанных микропрограмм на кросс-системе

2. Графическая часть

1. Схема алгоритма работы процессора

2. Схемы ДМЛ отдельных операций

3. Экспериментальная часть

Отладка Микропрограмм в кроссистеме

Срок выполнения проекта по разделам

Этап	Контрольный срок (недели)
1. Получение задания	4
2. Системная проработка проекта	5
3. Разработка алгоритмов	8
4. Разработка ДМЛ	10
5. Отладка микропрограмм	12
6. Разработка принципиальных схем	13
7. Оформление пояснительной записки	13
8. Защита проекта	15

Дата выдачи задания “__” _____

Дата защиты проекта “__” _____

Руководитель _____ Коннов Н.Н.

Задание получил “__” _____ 2020г.

Студент _____ Кудряшов Я.В.

Содержание

Список используемых сокращений	2
Введение	3
1 Формат команд и данных разрабатываемого процессора.....	4
1.1 Формат команд.....	4
1.2 Формат данных.....	5
2 Структура базовой микроЭВМ.....	6
2.1 Функциональная схема БОД.....	6
3. Описание алгоритма работы процессора при выполнении заданных команд.....	8
4 Листинг микропрограммы	13
5 Протокол отладки	18
6 Описание принципиальной схемы.....	32
7 Расчет быстродействия процессора.....	33
Заключение	35
Литература	36

					ПГУЗ.090301.03.001 ПЗ		
Изм.	Лист	№ докум	Подпись	Дата			
Разраб		Кудряшов Я.В.			Процессор универсальной ЭВМ Пояснительная записка		
Пров		Коннов Н.Н.					
Н. Контр.							
Уте							
					Литера	Лист	Листов
					у	1	36
					ФВТ, зр.17ВВ2		

Список используемых сокращений

1. БМУ – блок микропрограммного управления
2. БОД – блок обработки данных
3. БР – буферный регистр
4. ВОП – выборка операнда
5. ДВК – дешифрация и выполнение команд
6. ДМЛ – диаграммы микропрограммной логике
7. ЗР – запись результата
8. ЗУ – запоминающее устройство
9. П/П – подпрограмма
10. РК – регистр команд
11. РОН – регистр общего назначения
12. РСП – регистр состояния процессора
13. СК – счетчик команд
14. УС – указатель стека
15. Ур – уровень
16. ФССП – формирование слова состояния процессора

Введение.

Целью курсового проектирования является:

- изучение принципов работы и методов проектирования процессоров.*
- изучение микропроцессорных БИС конкретных серий и выработка навыков практического проектирования микропроцессорных систем*

Содержанием курсового проектирования является разработка центрального процессора универсальной ЭВМ на схемотехнической базе микропроцессорного комплекта серии K1804.

Технические характеристики проектируемого процессора:

- разрядность – 16;*
- адресное пространство – 32К слов;*
- формат данных – шестнадцатиразрядные целые числа;*
- система команд – программная совместимость с ЭВМ типа PDP – 11 («Электроника – 60») (команды str, rol, bgt, jmp, clc, wait);*
- Способы адресации – 0,4,1,3.*
- система элементов серии K1804, K1531, K531, K533, K556;*
- интерфейс типа «Общая шина».*

1. Формат команд и данных разрабатываемого процессора.

1.1 Формат команд

Всю систему команд эмулируемой ЭВМ можно разбить на следующие подгруппы: команды пересылок, арифметические и логические операции, команды вызова и возврата из подпрограмм, команды работы с флагами, прочие команды.

Имеется пять основных уровней кодов. Уровень 1 задается трехбитовым полем (биты 14,13 и 12); уровень 2 – битом 11 кода команды; уровень 3 – четырех битовым полем (биты 15,10,9 и 8); уровень 4 – двух битовым полем (биты 7 и 6); уровень 5 – трех битовым полем (биты 2,1 и 0).

Дешифрация выполняется последовательно, начиная с уровня 1. Признаком перехода с одного уровня на другой является нулевая комбинация разрядов в соответствующем поле.

Рассмотрим подробнее уровни команд:

Команды уровня 1 – двухадресные. В большинстве из них бит 15 указывает, на какую границу настроен адрес (слова или 8-битового байта в слове). Исключением для уровня 1 является команда SOB, предназначенная для организации циклов. Процедура выборки операндов команды SOB отличается от выборки операндов всех остальных команд уровня 1, поэтому разработчику необходимо предусмотреть на этапе первичной дешифрации выделение этой команды с целью ее выполнения по отдельному алгоритму

Команды уровня 2, в свою очередь подразделяются на два подуровня. Команды уровня 2.1 имеют «полтора адреса» (например, команда JSR), т.е. под адрес первого операнда в формате отводится всего три разряда (для задания номера регистра), а для адреса второго операнда выделяется, как обычно, шесть разрядов. Команды уровня 2.2. – одноадресные команды арифметико-логические группы.

- Уровень 3 – это 15 команд условного перехода.
- Уровень 4 – команды работы с флагами и возврата из подпрограммы.
- Уровень 5 – команд общего назначения.

		Кудряшов Я.В.		
		Коннов Н.Н.		
Изм.	Лист	№ докум	Подпись	Дата

ПГУЗ.090301.03.001 ПЗ

Лист

4

1.2. Формат данных

Эмулируемая ЭВМ оперирует над данными, представленными в двух основных форматах 16 – разрядное слово и 8 – разрядный байт. Данные рассматриваются как целые числа, старший разряд – знаковый, отрицательные числа представляются в дополнительном коде. Диапазон представления чисел:

-слово (-32768 - 32767);

-байт (-128 - 127).

		Кудряшов Я.В.			ПГУЗ.090301.03.001 ПЗ	Лист
		Коннов Н.Н.				5
Изм.	Лист	№ докум	Подпись	Дата		